

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:

Soon-Sung Yoo, et al.

Application No.: Not Yet Assigned

Confirmation No.:

Filed: Concurrently Herewith

Art Unit: N/A

For: THIN FILM TRANSISTOR ARRAY  
SUBSTRATE AND MANUFACTURING  
METHOD OF THE SAME

Examiner: Not Yet Assigned

**CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS**

MS Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

Country	Application No.	Date
Korea, Republic of	P2002-88323	December 31, 2002

In support of this claim, a certified copy of the said original foreign application will be filed prior to Issue.

Dated: November 13, 2003

Respectfully submitted,

By   
Rebecca G. Rudich

Registration No.: 41,786  
MCKENNA LONG & ALDRIDGE LLP  
1900 K Street, N.W.  
Washington, DC 20006  
(202) 496-7500  
Attorney for Applicant



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0088323  
Application Number

출원년월일 : 2002년 12월 31일  
Date of Application DEC 31, 2002

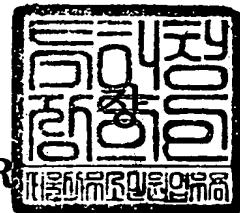
출원인 : 엘지.필립스 엘시디 주식회사  
Applicant(s) LG.PHILIPS LCD CO., LTD.



2003 년 04 월 07 일

특허청

COMMISSIONER



【서지사항】

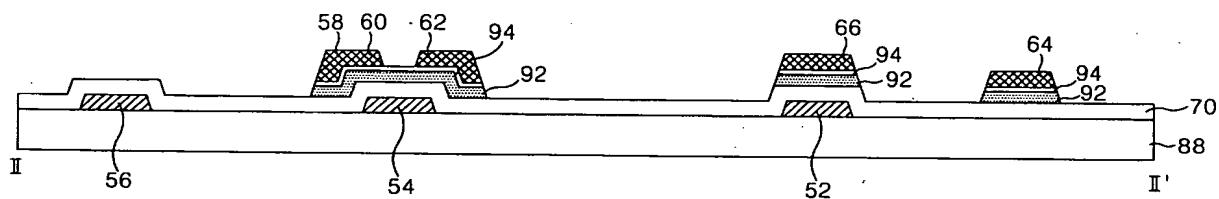
【서류명】	명세서 등 보정서
【수신처】	특허청장
【제출일자】	2003.03.19
【제출인】	
【명칭】	엘지 필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【사건과의 관계】	출원인
【대리인】	
【성명】	김영호
【대리인코드】	9-1998-000083-1
【포괄위임등록번호】	1999-001050-4
【사건의 표시】	
【출원번호】	10-2002-0088323
【출원일자】	2002.12.31
【발명의 명칭】	박막 트랜지스터 어레이 기판 및 그 제조 방법
【제출원인】	
【접수번호】	1-1-02-0441202-54
【접수일자】	2002.12.31
【보정할 서류】	명세서등
【보정할 사항】	
【보정대상항목】	별지와 같음
【보정방법】	별지와 같음
【보정내용】	별지와 같음
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에의하여 위와 같 이 제출합니다. 대리인 김영호 (인)
【수수료】	
【보정료】	0 원
【추가심사청구료】	0 원
【기타 수수료】	0 원
【합계】	0 원

【보정대상항목】 도 7c

【보정방법】 추가

【보정내용】

【도 7c】



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.12.31
【발명의 명칭】	박막 트랜지스터 어레이 기판 및 그 제조 방법
【발명의 영문명칭】	THIN FILM TRANSISTOR ARRAY SUBSTRATE AND MANUFACTURING METHOD OF THE SAME
【출원인】	
【명칭】	엘지 .필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	김영호
【대리인코드】	9-1998-000083-1
【포괄위임등록번호】	1999-001050-4
【발명자】	
【성명의 국문표기】	조홍렬
【성명의 영문표기】	CHO,Heung Lyul
【주민등록번호】	730116-1018042
【우편번호】	135-240
【주소】	서울특별시 강남구 개포동 주공아파트 408동 301호
【국적】	KR
【발명자】	
【성명의 국문표기】	류순성
【성명의 영문표기】	YOO,Soon Sung
【주민등록번호】	661229-1228318
【우편번호】	435-040
【주소】	경기도 군포시 산본동 금강아파트 915동 1402호
【국적】	KR
【발명자】	
【성명의 국문표기】	장윤경
【성명의 영문표기】	CHANG, Youn Gyoung
【주민등록번호】	720809-2042017

【우편번호】 437-734  
【주소】 경기도 의왕시 오전동 LG 진달래아파트 103동 807호  
【국적】 KR  
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 다  
리인 김영  
호 (인)  
【수수료】  
【기본출원료】 20 면 29,000 원  
【가산출원료】 10 면 10,000 원  
【우선권주장료】 0 건 0 원  
【심사청구료】 0 항 0 원  
【합계】 39,000 원  
【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 기판 구조 및 제조공정을 단순화시킬 수 있는 박막 트랜지스터 어레이 기판 및 그 제조방법에 관한 것이다.

본 발명은 박막 트랜지스터 어레이 기판에 박막 트랜지스터의 게이트 전극, 게이트 전극이 접속된 게이트 라인, 게이트 라인이 접속된 게이트 패드를 포함하는 게이트 패턴과; 상기 박막 트랜지스터의 소스전극 및 드레인 전극, 상기 소스전극과 접속된 데이터 라인, 상기 데이터 라인과 접속된 데이터 패드, 상기 게이트 라인과 중첩되게 형성된 스토리지 전극을 포함하는 소스/드레인 패턴과; 상기 소스/드레인 패턴을 따라 그 하부에 형성된 반도체 패턴과; 상기 드레인 전극과 스토리지 전극에 접속된 화소전극, 상기 게이트 패드를 덮도록 형성된 게이트 패드 보호전극, 상기 데이터 패드를 덮도록 형성된 데이터 패드 보호전극을 포함하는 투명전극 패턴과; 상기 투명전극 패턴이 형성된 영역을 제외한 나머지 영역에서 적층된 게이트 절연 패턴과 보호막 패턴을 구비하는 것을 특징으로 한다.

본 발명은 3마스크 공정을 채용하여 기판구조 및 제조공정을 단순화 시킴으로써 제조 단가를 절감할 수 있다.

**【대표도】**

도 5

## 【명세서】

## 【발명의 명칭】

박막 트랜지스터 어레이 기판 및 그 제조 방법{THIN FILM TRANSISTOR ARRAY SUBSTRATE AND MANUFACTURING METHOD OF THE SAME}

## 【도면의 간단한 설명】

도 1은 통상적인 박막 트랜지스터 어레이 기판의 일부분을 도시한 평면도.

도 2는 도 1에 도시된 박막 트랜지스터 어레이 기판을 I - I '선을 따라 절단하여 도시한 단면도.

도 3a 내지 도 3d는 도 2에 도시된 박막 트랜지스터 어레이 기판의 제조방법을 단계적으로 도시한 단면도들.

도 4는 본 발명의 실시예에 따른 박막 트랜지스터 어레이 기판을 도시한 평면도.

도 5은 도 4에 도시된 박막트랜지스터 어레이 기판을 II-II '선을 따라 절단하여 도시한 단면도.

도 6a 내지 도 8d은 본 발명의 실시예에 따른 박막 트랜지스터 어레이 기판의 제조 방법을 나타내는 단면도들

## &lt;도면의 주요 부분에 대한 부호의 설명&gt;

2, 52 : 게이트 라인

4, 58 : 데이터 라인

6, 80 : 박막 트랜지스터

8, 54 : 게이트 전극

10, 60 : 소스 전극

12, 62 : 드레인 전극

14, 92 : 활성층	16 : 제1 컨택홀
18, 72 : 화소전극	20, 78 : 스토리지 캐패시터
22, 66 : 스토리지 전극	24 : 제2 컨택홀
26, 82 : 게이트 패드부	28, 56 : 게이트 패드
30 : 제3 컨택홀	32, 74 : 게이트 패드 보호전극
34, 84 : 데이터 패드부	38 : 제4 컨택홀
40, 76 : 데이터 패드 보호전극	42, 88 : 하부기판
44 : 게이트 절연막	48, 94 : 오믹 접촉층

### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<19> 본 발명은 박막 트랜지스터 어레이 기판과 그 제조방법에 관한 것으로, 특히 마스크 공정수를 줄일 수 있는 박막 트랜지스터 어레이 기판 및 그 제조방법에 관한 것이다.

<20> 통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정패널과, 액정패널을 구동하기 위한 구동회로를 구비한다.

<21> 액정패널은 서로 대향하는 박막 트랜지스터 어레이 기판 및 칼러필터 어레이 기판과, 두 기판 사이에 일정한 셀캡 유지를 위해 위치하는 스페이서와, 그 셀캡에 채워진 액정을 구비한다.

<22> 박막 트랜지스터 어레이 기판은 게이트 라인들 및 데이터 라인들과, 그 게이트 라인들과 데이터 라인들의 교차부마다 스위치소자로 형성된 박막 트랜지스터와, 액정셀 단위로 형성되어 박막 트랜지스터에 접속된 화소전극 등과, 그들 위에 도포된 배향막으로 구성된다. 게이트 라인들과 데이터 라인들은 각각의 패드부를 통해 구동회로들로부터 신호를 공급받는다. 박막 트랜지스터는 게이트 라인에 공급되는 스캔신호에 응답하여 데이터 라인에 공급되는 화소전압신호를 화소 전극에 공급한다.

<23> 칼라필터 어레이 기판은 액정셀 단위로 형성된 칼라필터들과, 칼라필터들간의 구분 및 외부광 반사를 위한 블랙 매트릭스와, 액정셀들에 공통적으로 기준전압을 공급하는 공통 전극 등과, 그들 위에 도포되는 배향막으로 구성된다.

<24> 액정패널은 박막 트랜지스터 어레이 기판과 칼라필터 어레이 기판을 별도로 제작하여 합착한 다음 액정을 주입하고 봉입함으로써 완성하게 된다.

<25> 이러한 액정패널에서 박막 트랜지스터 어레이 기판은 반도체 공정을 포함함과 아울러 다수의 마스크 공정을 필요로 함에 따라 제조 공정이 복잡하여 액정패널 제조단가 상승의 주요원인이 되고 있다. 이를 해결하기 위하여, 박막 트랜지스터 어레이 기판은 마스크 공정수를 줄이는 방향으로 발전하고 있다. 이는 하나의 마스크 공정이 증착공정, 세정공정, 포토리쏘그래피 공정, 식각공정, 포토레지스트 박리공정, 검사공정 등과 같은 많은 공정을 포함하고 있기 때문이다. 이에 따라, 최근에는 박막 트랜지스터 어레이 기판의 표준 마스크 공정이던 5 마스크 공정에서 하나의 마스크 공정을 줄인 4 마스크 공정이 대두되고 있다.

<26> 도 1은 4 마스크 공정을 채용한 박막 트랜지스터 어레이 기판을 예를 들어 도시한 평면도이고, 도 2는 도 1에 도시된 박막 트랜지스터 어레이 기판을 I - I '선을 따라 절단하여 도시한 단면도이다.

<27> 도 1 및 도 2에 도시된 박막 트랜지스터 어레이 기판은 하부기판(42) 위에 게이트 절연막(44)을 사이에 두고 교차하게 형성된 게이트 라인(2) 및 데이터 라인(4)과, 그 교차부마다 형성된 박막 트랜지스터(6)와, 그 교차구조로 마련된 셀영역에 형성된 화소 전극(18)을 구비한다. 그리고, 박막 트랜지스터 어레이 기판은 화소전극(18)과 이전단 게이트 라인(2)의 중첩부에 형성된 스토리지 캐패시터(20)와, 게이트 라인(2)에 접속되는 게이트 패드부(26)와, 데이터 라인(4)에 접속되는 데이터 패드부(34)를 구비한다.

<28> 박막 트랜지스터(6)는 게이트 라인(2)에 접속된 게이트 전극(8)과, 데이터 라인(4)에 접속된 소스 전극(10)과, 화소 전극(16)에 접속된 드레인 전극(12)과, 게이트 전극(8)과 중첩되고 소스 전극(10)과 드레인 전극(12) 사이에 채널을 형성하는 활성층(14)을 구비한다. 활성층(14)은 데이터 패드(36), 스토리지 전극(22), 데이터 라인(4), 소스 전극(10) 및 드레인 전극(12)과 중첩되게 형성되고, 소스 전극(10)과 드레인 전극(12) 사이의 채널부를 더 포함한다. 활성층(14) 위에는 데이터 패드(36), 스토리지 전극(22), 데이터 라인(4), 소스 전극(10) 및 드레인 전극(12)과 오믹접촉을 위한 오믹접촉층(48)이 더 형성된다. 이러한 박막 트랜지스터(6)는 게이트 라인(2)에 공급되는 게이트 신호에 응답하여 데이터 라인(4)에 공급되는 화소전압 신호가 화소 전극(18)에 충전되어 유지되게 한다.

<29> 화소 전극(18)은 보호막(50)을 관통하는 제1 컨택홀(16)을 통해 박막 트랜지스터(6)의 드레인 전극(12)과 접속된다. 화소 전극(18)은 충전된 화소전압에 의해 도시하지

않은 상부 기판에 형성되는 공통 전극과 전위차를 발생시키게 된다. 이 전위차에 의해 박막 트랜지스터 기판과 상부 기판 사이에 위치하는 액정이 유전 이방성에 의해 회전하게 되며 도시하지 않은 광원으로부터 화소 전극(18)을 경유하여 입사되는 광을 상부 기판 쪽으로 투과시키게 된다.

<30> 스토리지 캐패시터(20)는 이전단 게이트라인(2)과, 그 게이트라인(2)과 게이트 절연막(44), 활성층(14) 및 오믹접촉층(48)을 사이에 두고 중첩되는 스토리지 전극(22)과, 그 스토리지 전극(22)과 보호막(50)을 사이에 두고 중첩됨과 아울러 그 보호막(50)에 형성된 제2 컨택홀(24)을 경유하여 접속된 화소전극(22)으로 구성된다. 이러한 스토리지 캐패시터(20)는 화소 전극(18)에 충전된 화소전압이 다음 화소전압이 충전될 때까지 안정적으로 유지되게 한다.

<31> 게이트 라인(2)은 게이트 패드부(26)를 통해 게이트 드라이버(도시하지 않음)와 접속된다. 게이트 패드부(26)는 게이트 라인(2)으로부터 연장되는 게이트 패드(28)와, 게이트 절연막(44) 및 보호막(50)을 관통하는 제3 컨택홀(30)을 통해 게이트 패드(28)에 접속된 게이트 패드 보호전극(32)으로 구성된다.

<32> 데이터 라인(4)은 데이터 패드부(34)를 통해 데이터 드라이버(도시하지 않음)와 접속된다. 데이터 패드부(34)는 데이터 라인(4)으로부터 연장되는 데이터 패드(36)와, 보호막(50)을 관통하는 제4 컨택홀(38)을 통해 데이터 패드(36)와 접속된 데이터 패드 보호전극(40)으로 구성된다.

<33> 이러한 구성을 가지는 박막 트랜지스터 어레이 기판은 4 마스크 공정으로 형성된다.

<34> 도 3a 내지 도 3d는 박막 트랜지스터 어레이 기판 제조방법을 단계적으로 도시한 단면도이다.

<35> 도 3a를 참조하면, 하부기판(42) 상에 게이트 패턴들이 형성된다.

<36> 하부기판(42) 상에 스퍼터링 방법 등의 증착방법을 통해 게이트 금속층이 형성된다. 이어서, 제1 마스크를 이용한 포토리쏘그래피 공정과 식각공정으로 게이트 금속층이 패터닝됨으로써 게이트라인(2), 게이트전극(8), 게이트 패드(28)를 포함하는 게이트 패턴들이 형성된다. 게이트 금속으로는 크롬(Cr), 몰리브덴(Mo), 알루미늄계 금속 등이 단일층 또는 이중층 구조로 이용된다.

<37> 도 3b를 참조하면, 게이트 패턴들이 형성된 하부기판(42) 상에 게이트 절연막(44), 활성층(14), 오믹접촉층(48), 그리고 소스/드레인 패턴들이 순차적으로 형성된다.

<38> 게이트 패턴들이 형성된 하부기판(42) 상에 PECVD, 스퍼터링 등의 증착방법을 통해 게이트 절연막(44), 비정질 실리콘층, n+ 비정질 실리콘층, 그리고 소스/드레인 금속층이 순차적으로 형성된다.

<39> 소스/드레인 금속층 위에 제2 마스크를 이용한 포토리쏘그래피 공정으로 포토레지스트 패턴을 형성하게 된다. 이 경우 제2 마스크로는 박막 트랜지스터의 채널부에 회절 노광부를 갖는 회절 노광 마스크를 이용함으로써 채널부의 포토레지스트 패턴이 다른 소스/드레인 패턴부 보다 낮은 높이를 갖게 한다.

<40> 이어서, 포토레지스트 패턴을 이용한 습식 식각공정으로 소스/드레인 금속층이 패터닝됨으로써 데이터 라인(4), 소스 전극(10), 그 소스 전극(10)과 일체화된 드레인 전극(12), 스토리지 전극(22)을 포함하는 소스/드레인 패턴들이 형성된다.

<41> 그 다음, 동일한 포토레지스트 패턴을 이용한 건식 식각공정으로 n+ 비정질 실리콘 층과 비정질 실리콘층이 동시에 패터닝됨으로써 오믹접촉층(48)과 활성층(14)이 형성된다.

<42> 그리고, 채널부에서 상대적으로 낮은 높이를 갖는 포토레지스트 패턴이 애싱 (Ashing) 공정으로 제거된 후 건식 식각공정으로 채널부의 소스/드레인 패턴 및 오믹접촉층(48)이 식각된다. 이에 따라, 채널부의 활성층(14)이 노출되어 소스 전극(10)과 드레인 전극(12)이 분리된다.

<43> 이어서, 스트립 공정으로 소스/드레인 패턴부 위에 남아 있는 포토레지스트 패턴이 제거된다.

<44> 게이트 절연막(44)의 재료로는 산화 실리콘(SiO<sub>x</sub>) 또는 질화 실리콘(SiNx) 등의 무기 절연물질이 이용된다. 소스/드레인 금속으로는 몰리브덴(Mo), 티타늄, 탄탈륨, 몰리브덴 합금(Mo alloy) 등이 이용된다.

<45> 도 3c를 참조하면, 소스/드레인 패턴들이 형성된 게이트 절연막(44) 상에 제1 내지 제4 컨택홀들(16, 24, 30, 38)을 포함하는 보호막(50)이 형성된다.

<46> 소스/드레인 패턴들이 형성된 게이트 절연막(44) 상에 PECVD 등의 증착방법으로 보호막(50)이 전면 형성된다. 보호막(50)은 제3 마스크를 이용한 포토리쏘그래피 공정과 식각공정으로 패터닝됨으로써 제1 내지 제4 컨택홀들(16, 24, 30, 38)이 형성된다. 제1 컨택홀(16)은 보호막(50)을 관통하여 드레인 전극(12)이 노출되게 형성되고, 제2 컨택홀(24)은 보호막(50)을 관통하여 스토리지 전극(22)이 노출되게 형성된다. 제3 컨택홀(30)은 보호막(50) 및 게이트 절연막(44)을 관통하여 게이트 패드(28)가 노출되게 형

성된다. 제4 컨택홀(38)은 보호막(50)을 관통하여 데이터 패드(36)가 노출되게 형성된다.

<47> 보호막(50)의 재료로는 게이트 절연막(94)과 같은 무기 절연물질이나 유전상수가 작은 아크릴(acryl)계 유기화합물, BCB 또는 PFCB 등과 같은 유기 절연물질이 이용된다.

<48> 도 3d를 참조하면, 보호막(50) 상에 투명전극 패턴들이 형성된다.

<49> 보호막(50) 상에 스퍼터링 등의 증착방법으로 투명전극 물질이 전면 증착된다. 이어서 제4 마스크를 이용한 포토리쏘그래피 공정과 식각공정을 통해 투명전극 물질이 패팅 님됨으로써 화소전극(18), 게이트 패드 보호전극(32), 데이터 패드 보호전극(40)을 포함하는 투명전극 패턴들이 형성된다. 화소 전극(18)은 제1 컨택홀(16)을 통해 드레인 전극(12)과 전기적으로 접속되고, 제2 컨택홀(24)을 통해 이전단 게이트라인(2)과 중첩되는 스토리지 전극(22)과 전기적으로 접속된다. 게이트 패드 보호전극(32)는 제3 컨택홀(30)을 통해 게이트 패드(28)과 전기적으로 접속된다. 데이터 패드 보호전극(40)은 제4 컨택홀(38)을 통해 데이터 패드(36)와 전기적으로 접속된다. 투명전극 물질로는 인듐주석산화물(Indium Tin Oxide : ITO)이나 주석산화물(Tin Oxide : TO) 또는 인듐아연산화물(Indium Zinc Oxide : IZO)이 이용된다.

<50> 이와 같이 종래의 박막 트랜지스터 기판 및 그 제조방법은 4마스크 공정을 채용함으로써 5마스크 공정을 이용한 경우보다 제조공정수를 줄임과 아울러 그에 비례하는 제조단가를 절감할 수 있게 된다. 그러나, 4 마스크 공정 역시 여전히 제조공정이 복잡하

여 원가 절감에 한계가 있으므로 제조공정을 더욱 단순화하여 제조단가를 더욱 줄일 수 있는 박막 트랜지스터 기판 및 그 제조방법이 요구된다.

#### 【발명이 이루고자 하는 기술적 과제】

<51> 따라서, 본 발명의 목적은 3 마스크 공정을 채용하여 기판구조 및 제조공정을 단순화시킬 수 있는 박막 트랜지스터 어레이 기판 및 제조 방법을 제공하는 것이다.

#### 【발명의 구성 및 작용】

<52> 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 박막 트랜지스터 어레이 기판은 박막 트랜지스터 어레이 기판에 박막 트랜지스터의 게이트 전극, 게이트 전극이 접속된 게이트 라인, 게이트 라인이 접속된 게이트 패드를 포함하는 게이트 패턴과; 상기 박막 트랜지스터의 소스전극 및 드레인 전극, 상기 소스전극과 접속된 데이터 라인, 상기 데이터 라인과 접속된 데이터 패드, 상기 게이트 라인과 중첩되게 형성된 스토리지 전극을 포함하는 소스/드레인 패턴과; 상기 소스/드레인 패턴을 따라 그 하부에 형성된 반도체 패턴과; 상기 드레인 전극과 스토리지 전극에 접속된 화소전극, 상기 게이트 패드를 덮도록 형성된 게이트 패드 보호전극, 상기 데이터 패드를 덮도록 형성된 데이터 패드 보호전극을 포함하는 투명전극 패턴과; 상기 투명전극 패턴이 형성된 영역을 제외한 나머지 영역에서 적층된 게이트 절연 패턴과 보호막 패턴을 구비하는 것을 특징으로 한다.

<53> 상기 보호막 패턴은 상기 드레인 전극 및 스토리지 전극을 부분적으로 노출시켜 상기 화소전극과 접속되게 하는 것을 특징으로 한다.

<54> 본 발명의 실시예에 따른 박막 트랜지스터 어레이 기판의 제조 방법은 제 1 마스크 공정을 이용하여 기판상에 박막 트랜지스터의 게이트 전극, 게이트 전극과 접속되는 게이트 라인, 게이트 라인과 접속되는 게이트 패드를 포함하는 게이트 패턴을 형성하는 단계와; 상기 게이트 패턴이 형성된 기판상에 게이트 절연막을 형성하는 단계와; 제 2 마스크 공정을 이용하여 상기 게이트 절연막상에 상기 박막 트랜지스터의 소스전극 및 드레인 전극, 상기 소스전극과 접속되는 데이터 라인, 상기 데이터 라인과 접속되는 데이터 패드, 상기 게이트 라인과 중첩되는 영역에 스토리지 전극을 포함하는 소스/드레인 패턴과 상기 소스/드레인 패턴을 따라 그 하부에 형성되는 반도체 패턴을 형성하는 단계와; 제 3 마스크 공정을 이용하여 상기 드레인 전극과 스토리지 전극에 접속되는 화소 전극, 상기 게이트 패드를 덮도록 형성되는 게이트 패드 보호전극, 상기 데이터 패드를 덮도록 형성된 데이터 패드 보호전극을 포함하는 투명전극 패턴과, 상기 투명전극 패턴이 형성된 영역을 제외한 나머지 영역에서 적층된 게이트 절연 패턴과 보호막 패턴을 형성하는 단계를 포함하는 것을 특징으로 한다.

<55> 상기 제 3 마스크 공정은 상기 소스/드레인 패턴이 형성된 기판상에 보호막을 형성하는 단계와; 상기 3 마스크를 이용하여 포토레지스트 패턴을 형성하는 단계와; 상기 포토레지스트 패턴을 이용하여 상기 보호막과 절연막을 패터닝하여 상기 게이트 절연 패턴과 보호막 패턴을 형성하는 단계와; 상기 포토레지스트 패턴이 남아있는 기판위에 투명전극 물질을 증착하는 단계와; 상기 포토레지스트 패턴과 그 위의 투명전극 물질을 스

트립 공정으로 제거 하여 투명전극 패턴을 형성하는 단계를 포함하는 것을 특징으로 한다.

<56> 상기 보호막 패턴은 상기 드레인 전극 및 스토리지 전극을 부분적으로 노출시켜 상기 화소전극과 접속되게 하는 단계를 포함하는 것을 특징으로 한다.

<57> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<58> 이하, 도 4 내지 도 8을 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

<59> 도 4는 본 발명의 실시예에 따른 박막 트랜지스터 어레이 기판을 도시한 평면도이고, 도 5은 도 4에 도시된 박막 트랜지스터 어레이 기판을 II-II'선을 따라 절단하여 도시한 단면도이다.

<60> 도 4 및 도 5에 도시된 박막 트랜지스터 어레이 기판은 하부기판(88) 위에 게이트 절연 패턴(90)을 사이에 두고 교차하게 형성된 게이트 라인(52) 및 데이터 라인(58)과, 그 교차부마다 형성된 박막 트랜지스터(80)와, 그 교차구조로 마련된 셀영역에 형성된 화소 전극(72)을 구비한다. 그리고, 박막 트랜지스터 어레이 기판은 화소전극(72)에 접속된 스토리지 전극(66)과 이전단 게이트 라인(52)의 중첩부에 형성된 스토리지 캐패시터(78)와, 게이트 라인(52)에 접속되는 게이트 패드부(82)와, 데이터 라인(58)에 접속되는 데이터 패드부(84)를 구비한다.

<61> 박막 트랜지스터(80)는 게이트 라인(52)에 접속된 게이트 전극(54)과, 데이터 라인(58)에 접속된 소스 전극(60)과, 화소 전극(72)에 접속된 드레인 전극(62)과, 게이

트 전극(54)과 게이트 절연 패턴(90)을 사이에 두고 중첩되고 소스 전극(60)과 드레인 전극(62) 사이에 채널(70)을 형성하는 활성층(92)을 포함하는 반도체 패턴을 구비한다. 이러한 박막 트랜지스터(80)는 게이트 라인(52)에 공급되는 게이트 신호에 응답하여 데이터 라인(58)에 공급되는 화소전압 신호가 화소 전극(72)에 충전되어 유지되게 한다.

<62> 반도체 패턴은 소스 전극(60)과 드레인 전극(62) 사이의 채널부를 포함하면서 소스 전극(60), 드레인 전극(62), 데이터 라인(58), 그리고 데이터 패드(64)와 중첩되고, 스토리지 전극(66)과 중첩되는 부분을 포함하여 게이트 절연 패턴(90)을 사이에 두고 게이트 라인(52)과는 부분적으로 중첩되게 형성된 활성층(92)을 구비한다. 그리고, 반도체 패턴은 활성층(92) 위에 소스 전극(60), 드레인 전극(62), 스토리지 전극(66), 데이터 라인(58), 그리고 데이터 패드(64)와 오믹접촉을 위해 형성된 오믹접촉층(66)을 더 구비한다.

<63> 화소 전극(72)은 보호막패턴(98) 외부로 노출된 박막 트랜지스터(80)의 드레인 전극(62)과 접속된다. 화소 전극(72)은 충전된 화소전압에 의해 도시하지 않은 상부 기판에 형성되는 공통 전극과 전위차를 발생시키게 된다. 이 전위차에 의해 박막 트랜지스터 기판과 상부 기판 사이에 위치하는 액정이 유전 이방성에 의해 회전하게 되며 도시하지 않은 광원으로부터 화소 전극(72)을 경유하여 입사되는 광을 상부 기판 쪽으로 투과시키게 된다.

<64> 스토리지 캐패시터(78)는 이전단 게이트 라인(52)과, 그 게이트 라인(52)과 게이트 절연 패턴(90), 활성층(92) 및 오믹접촉층(94)을 사이에 두고 중첩되며 화소전극(72)과 접속된 스토리지 전극(66)으로 구성된다. 여기서 화소전극(72)은 보호막(98)외부로 노출된 스토리지 전극(66)과 접속된다. 이러한 스토리지 캐패시터(78)는 화소 전극(72)에 충

전된 화소전압이 다음 화소전압이 충전될 때까지 안정적으로 유지되게 한다.

<65> 게이트 라인(52)은 게이트 패드부(82)를 통해 게이트 드라이버(도시하지 않음)와 접속된다. 게이트 패드부(82)는 게이트 라인(52)으로부터 연장되는 게이트 패드(56)와, 게이트 패드(56) 위에 접속된 게이트 패드 보호전극(74)로 구성된다.

<66> 데이터 라인(58)은 데이터 패드부(84)를 통해 데이터 드라이버(도시하지 않음)와 접속된다. 데이터 패드부(84)는 데이터 라인(58)으로부터 연장되는 데이터 패드(64)와 데이터 패드(64)위에 접속된 데이터 패드 보호전극(76)으로 구성된다. 또한, 데이터 패드부(84)는 데이터 패드(64)와 하부기판(88) 사이에 형성된 게이트 절연 패턴(90), 활성 층(92), 그리고 오믹접촉층(94)을 더 포함한다.

<67> 게이트 절연 패턴(90)과 보호막 패턴(98)은 화소전극(72)과 게이트 패드 보호전극(74) 및 데이터 패드 보호전극(76)이 형성되지 않은 영역에 형성된다.

<68> 이러한 구성을 가지는 박막 트랜지스터 어레이 기판은 3마스크 공정으로 형성된다. 3마스크 공정을 이용한 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 기판 제조방법은 게이트 패턴들을 형성하기 위한 제1 마스크 공정과, 반도체 패턴 및 소스/드레인 패턴들을 형성하기 위한 제2 마스크 공정과, 게이트 절연패턴(90)과 보호막(98)패턴 및 투명전극 패턴들을 형성하기 위한 제3 마스크 공정을 포함하게 된다.

<69> 도 6a 내지 도 8d은 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 기판 제조 방법을 단계적으로 도시한 평면도와 단면도들이다.

<70> 도 6a 및 도 6b는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 기판 제조방법 중 제1 마스크 공정으로 하부기판(88)상에 형성된 게이트 패턴들을 도시한 평면도 및 단면도이다.

<71> 하부기판(88)상에 스퍼터링 방법 등의 증착방법을 통해 게이트 금속층이 형성된다. 이어서, 제1 마스크를 이용한 포토리쏘그래피 공정과 식각공정으로 게이트 금속층이 패터닝됨으로써 게이트 라인(52), 게이트 전극(54), 게이트 패드(56)를 포함하는 게이트 패턴들이 형성된다. 게이트 금속으로는 Cr, MoW, Cr/Al, Cu, Al(Nd), Mo/Al, Mo/Al(Nd), Cr/Al(Nd) 등이 단일층 또는 이중층 구조로 이용된다.

<72> 도 7a 내지 도 7c는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 기판 제조방법 중 제2 마스크 공정으로 형성된 소스/드레인 패턴, 반도체 패턴을 포함하는 기판의 평면도 및 단면도이다.

<73> 구체적으로, 게이트 패턴들이 형성된 하부기판(88) 상에 PECVD, 스퍼터링 등의 증착방법을 통해 게이트 절연층(90a), 비정질 실리콘층, n+ 비정질 실리콘층, 그리고 소스/드레인 금속층이 순차적으로 형성된다. 게이트 절연층(90a)의 재료로는 산화 실리콘(SiO<sub>x</sub>) 또는 질화 실리콘(SiN<sub>x</sub>) 등의 무기 절연물질이 이용된다. 소스/드레인 금속으로는 몰리브덴(Mo), 티타늄, 탄탈륨, 몰리브덴 합금(Mo alloy) 등이 이용된다.

<74> 이어서, 제2 마스크를 이용한 포토리쏘그래피 공정과 식각공정으로 도 7b에 도시된 바와 같이 포토레지스트 패턴(71b)을 형성하게 된다. 이 경우 제2 마스크로는 박막 트랜지스터의 채널부에 회절 노광부를 갖는 회절 노광 마스크를 이용함으로써 채널부의 포토레지스트 패턴이 소스/드레인 패턴부 보다 낮은 높이를 갖게 한다.

<75> 이어서, 도 7c를 참조하면 포토레지스트 패턴(71b)을 이용한 습식 식각공정으로 소스/드레인 금속층이 패터닝됨으로써 데이터 라인(58), 소스 전극(60), 그 소스 전극(60)과 일체화된 드레인 전극(62), 스토리지 전극(64)을 포함하는 소스/드레인 패턴들이 형성된다.

<76> 그 다음, 동일한 포토레지스트 패턴(71b)을 이용한 건식 식각공정으로 n+ 비정질 실리콘층과 비정질 실리콘층이 동시에 패터닝됨으로써 오믹접촉층(94)과 활성층(92)이 형성된다.

<77> 그리고, 채널부에서 상대적으로 낮은 높이를 갖는 포토레지스트 패턴(71a)이 애싱(Ashing) 공정으로 제거된 후 건식 식각공정으로 채널부의 소스/드레인 패턴 및 오믹접촉층(94)이 식각된다. 이에 따라, 채널부의 활성층(92)이 노출되어 소스 전극(60)과 드레인 전극(62)이 분리된다.

<78> 이어서, 스트립 공정으로 소스/드레인 패턴부 위에 남아 있는 포토레지스트 패턴이 제거된다.

<79> 도 8a 내지 도 8d는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 기판 제조 방법 중 제3 마스크 공정으로 형성된 게이트 절연 패턴(90)과 보호막 패턴(98) 및 투명 전극 패턴을 포함하는 기판의 평면도 및 단면도이다.

<80> 구체적으로, 소스/드레인 패턴들이 형성된 게이트 절연막(90a)상에 스퍼터링 등의 증착방법으로 SiNx, SiOx와 같은 무기 절연물질이나 유전상수가 작은 아크릴(acryl)계 유기화합물, BCB 또는 PFCB 등과 같은 유기 절연물질이 이용되는 보호막(98a)이 전면 증착되고 보호막(98a)위에 포토레지스트가 전면 도포된다. 이어서, 제3 마스크를 이용한

포토리쏘그래피 공정으로 도 8b에 도시된 바와 같이 포토레지스트 패턴(71c)이 형성된다. 이어서, 포토레지스트 패턴(71c)을 마스크로 보호막(98a) 및 게이트 절연막(90a)이 패터닝되어 이후 투명전극 패턴이 남아 형성될 영역을 제외한 나머지 영역에 게이트 절연 패턴(90) 및 보호막 패턴(98)이 형성된다. 이어서, 포토레지스터 패턴(71c)이 남아 있는 기판(88)상에 도 8c에 도시된 바와 같이 스퍼터링 등의 증착방법으로 투명전극 물질(74a)이 전면 증착된다. 투명전극(74a) 물질로는 인듐주석산화물(Indium Tin Oxide : ITO)이나 주석산화물(Tin Oxide : T0) 또는 인듐아연산화물(Indium Zinc Oxide : IZO)이 이용된다. 투명전극 물질(74a)이 전면 증착된 박막 트랜지스터 어레이 기판에서 리프트 오프(lift off) 방법을 이용한 스트립 공정에 의해 포토레지스트 패턴(71c)은 제거된다. 이때 포토레지스트 패턴(71c)위에 증착된 투명전극 물질(74a)은 포토레지스트 패턴(71c)이 떨어져 나가면서 함께 제거되어 도 8d에 도시된 바와 같이 게이트 패드 보호전극(74), 화소전극(76) 및 데이터 패드 보호전극(85)을 포함하는 투명전극 패턴이 형성된다.

<81> 게이트 패드 보호전극(74)은 게이트 패드(56)를 덮도록 형성되고, 화소 전극(72)은 박막 트랜지스터의 드레인 전극(62) 및 스토리지 캐패시터(78)의 스토리지 전극(66)과 전기적으로 접속되며, 데이터 패드 보호전극(85)은 데이터 패드(64)와 전기적으로 접속된다.

**【발명의 효과】**

<82> 상술한 바와 같이, 본 발명에 따른 박막 트랜지스터 어레이 기판 및 제조 방법은 3 마스크를 채용하여 기판 구조 및 제조 공정을 더욱 단순화시킴으로써 제조 단가를 더욱 절감할 수 있음과 아울러 제조 수율을 향상시킬 수 있다.

<83> 특히, 본 발명에 따른 박막 트랜지스터 어레이 기판 및 제조 방법은 게이트 절연막 및 보호막의 패터닝 공정에 이용된 포토레지스트 패턴의 스트립 공정으로 그위의 투명전극을 패터닝하여 투명전극 패턴을 형성함으로써 마스크 공정수를 줄일 수 있다.

<84> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

**【특허청구범위】****【청구항 1】**

박막 트랜지스터 어레이 기판에 박막 트랜지스터의 게이트 전극, 게이트 전극이 접속된 게이트 라인, 게이트 라인이 접속된 게이트 패드를 포함하는 게이트 패턴과;

상기 박막 트랜지스터의 소스전극 및 드레인 전극, 상기 소스전극과 접속된 데이터 라인, 상기 데이터 라인과 접속된 데이터 패드, 상기 게이트 라인과 중첩되게 형성된 스토리지 전극을 포함하는 소스/드레인 패턴과;

상기 소스/드레인 패턴을 따라 그 하부에 형성된 반도체 패턴과;

상기 드레인 전극과 스토리지 전극에 접속된 화소전극, 상기 게이트 패드를 덮도록 형성된 게이트 패드 보호전극, 상기 데이터 패드를 덮도록 형성된 데이터 패드 보호전극을 포함하는 투명전극 패턴과;

상기 투명전극 패턴이 형성된 영역을 제외한 나머지 영역에서 적층된 게이트 절연 패턴과 보호막 패턴을 구비하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

**【청구항 2】**

제 1 항에 있어서,

상기 보호막 패턴은 상기 드레인 전극 및 스토리지 전극을 부분적으로 노출시켜 상기 화소전극과 접속되게 하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

## 【청구항 3】

제 1 마스크 공정을 이용하여 기판상에 박막 트랜지스터의 게이트 전극, 게이트 전극과 접속되는 게이트 라인, 게이트 라인과 접속되는 게이트 패드를 포함하는 게이트 패턴을 형성하는 단계와;

상기 게이트 패턴이 형성된 기판상에 게이트 절연막을 형성하는 단계와;

제 2 마스크 공정을 이용하여 상기 게이트 절연막상에 상기 박막 트랜지스터의 소스전극 및 드레인 전극, 상기 소스전극과 접속되는 데이터 라인, 상기 데이터 라인과 접속되는 데이터 패드, 상기 게이트 라인과 중첩되는 영역에 스토리지 전극을 포함하는 소스/드레인 패턴과 상기 소스/드레인 패턴을 따라 그 하부에 형성되는 반도체 패턴을 형성하는 단계와;

제 3 마스크 공정을 이용하여 상기 드레인 전극과 스토리지 전극에 접속되는 화소전극, 상기 게이트 패드를 덮도록 형성되는 게이트 패드 보호전극, 상기 데이터 패드를 덮도록 형성된 데이터 패드 보호전극을 포함하는 투명전극 패턴과, 상기 투명전극 패턴이 형성된 영역을 제외한 나머지 영역에서 적층된 게이트 절연 패턴과 보호막 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판의 제조 방법.

## 【청구항 4】

제 3 항에 있어서,

상기 제 3 마스크 공정은

상기 소스/드레인 패턴이 형성된 기판상에 보호막을 형성하는 단계와;

상기 3 마스크를 이용하여 포토레지스트 패턴을 형성하는 단계와;

상기 포토레지스트 패턴을 이용하여 상기 보호막과 절연막을 패터닝하여 상기  
게이트 절연 패턴과 보호막 패턴을 형성하는 단계와;

상기 포토레지스트 패턴이 남아있는 기판위에 투명전극 물질을 증착하는 단계와;

상기 포토레지스트 패턴과 그 위의 투명전극 물질을 스트립 공정으로 제거 하여  
투명전극 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터 어레이  
기판의 제조방법.

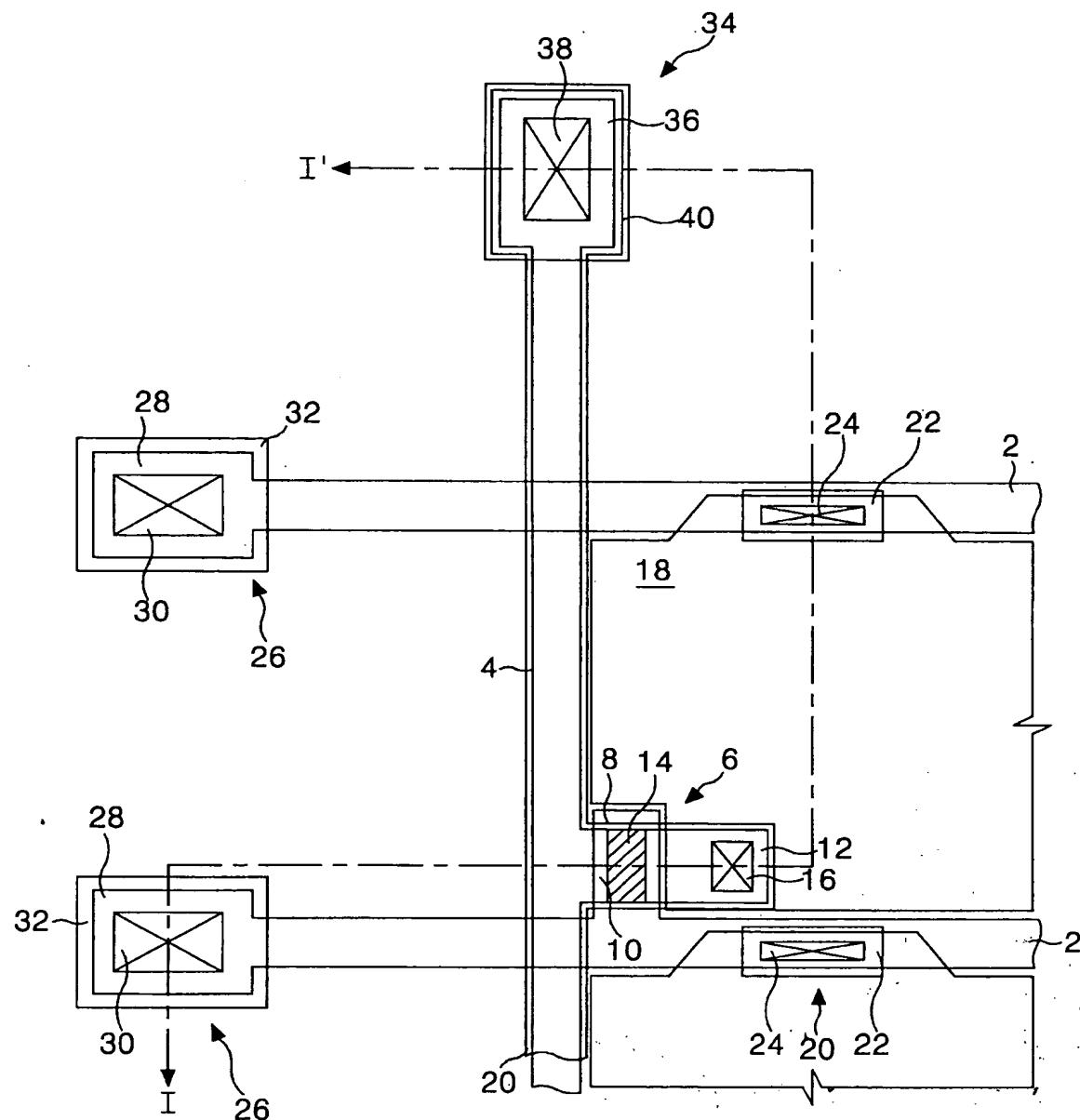
### 【청구항 5】

제 3 항에 있어서,

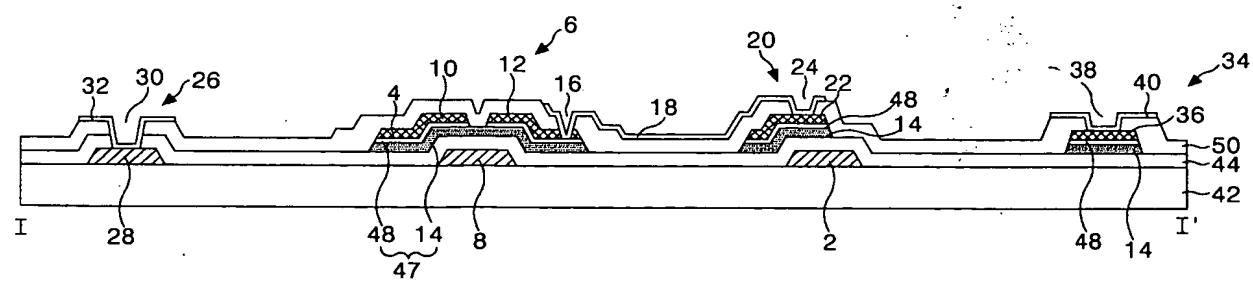
상기 보호막 패턴은 상기 드레인 전극 및 스토리지 전극을 부분적으로 노출시켜  
상기 화소전극과 접속되게 하는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터  
어레이 기판의 제조방법.

## 【도면】

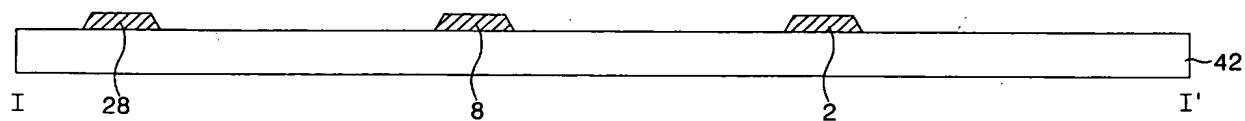
【도 1】



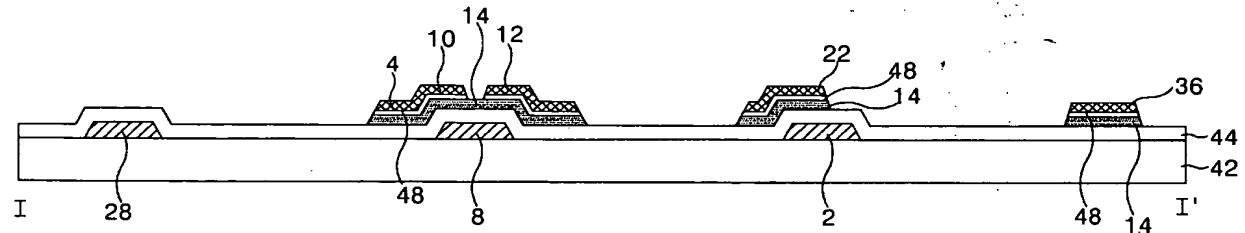
【도 2】



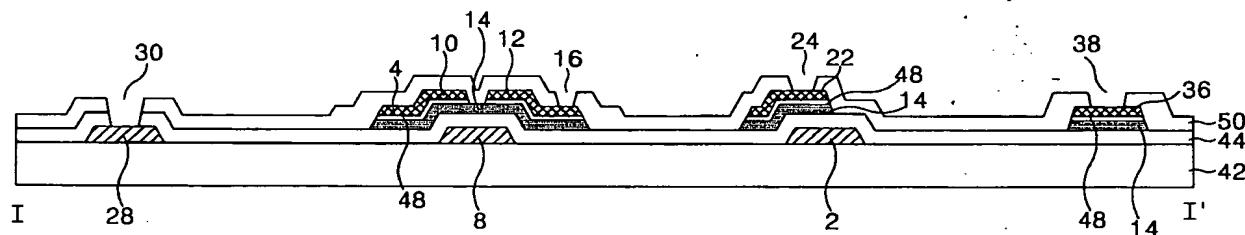
【도 3a】



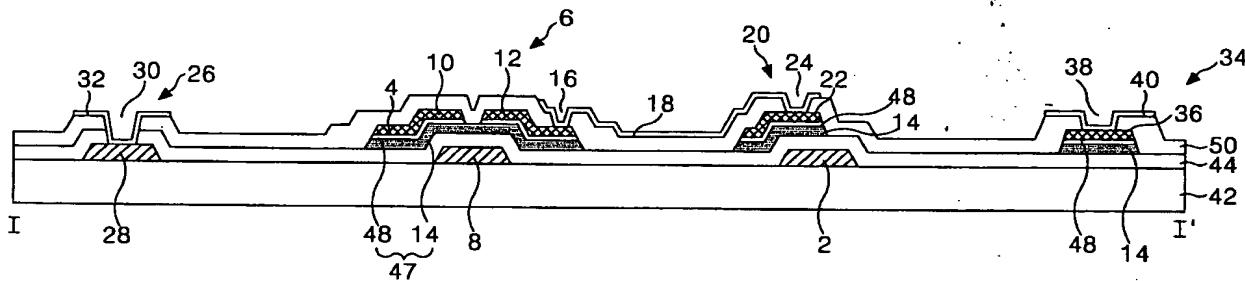
【도 3b】



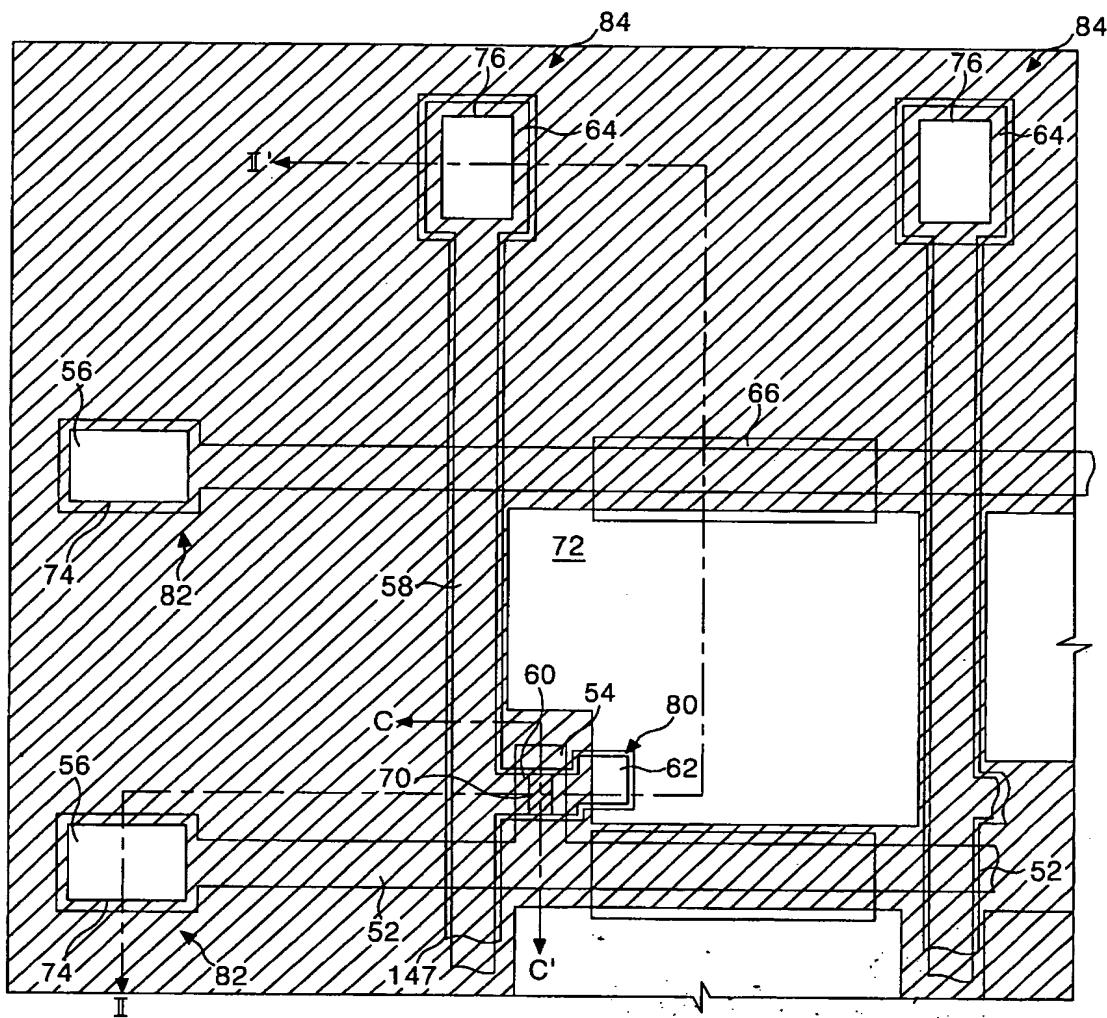
【도 3c】



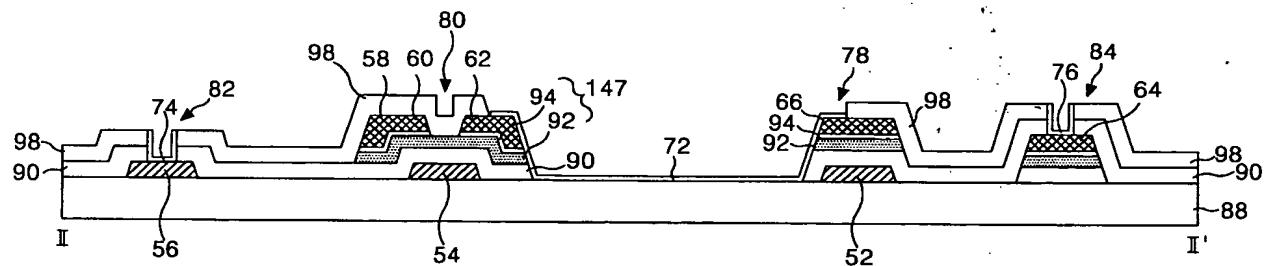
【도 3d】



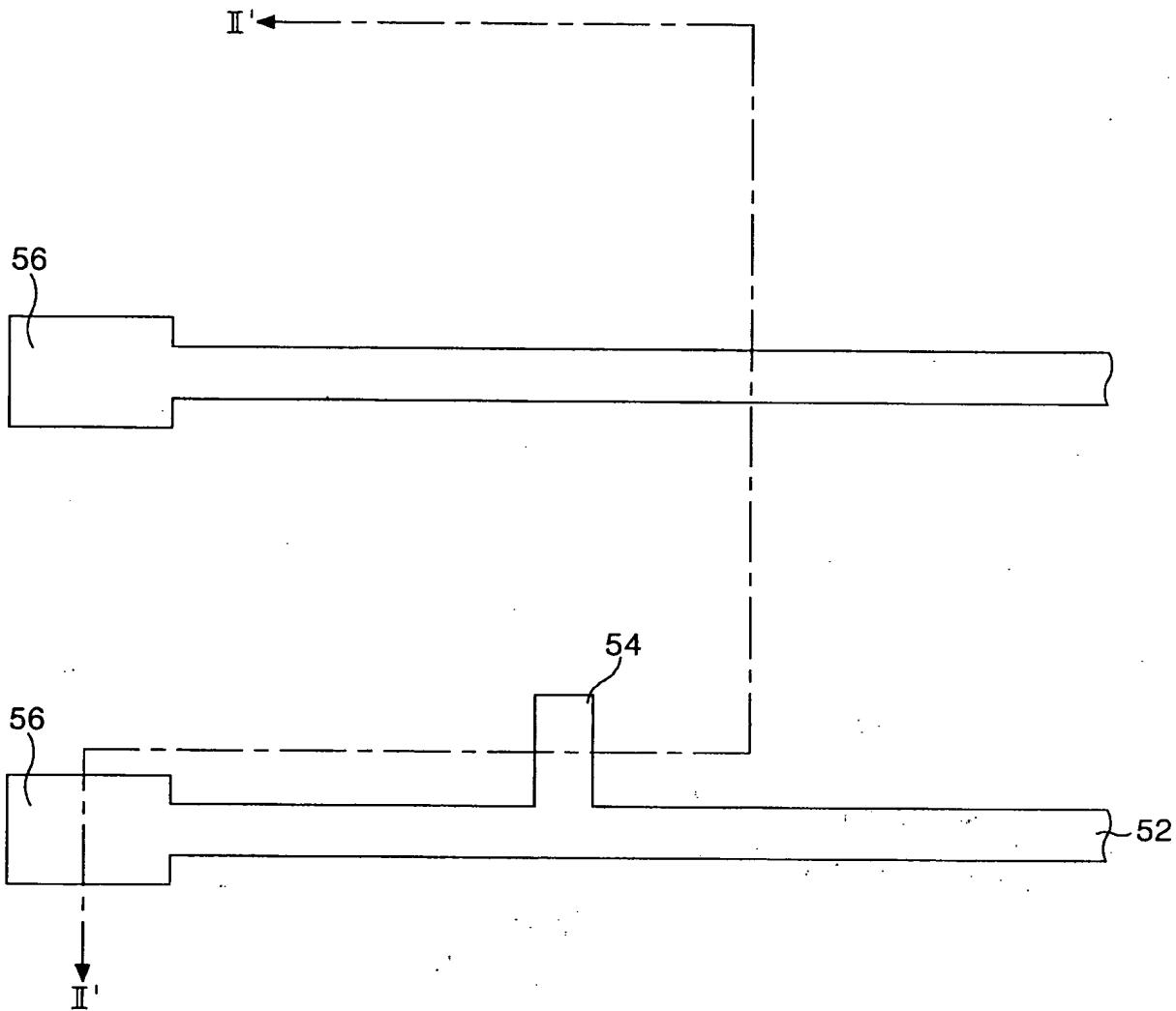
【도 4】



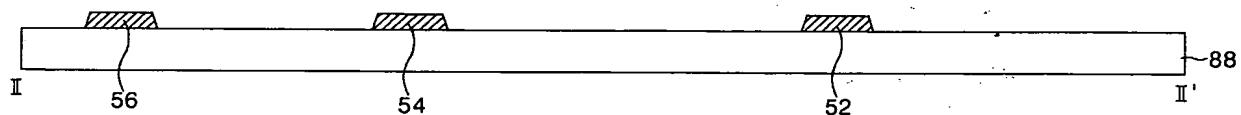
【도 5】



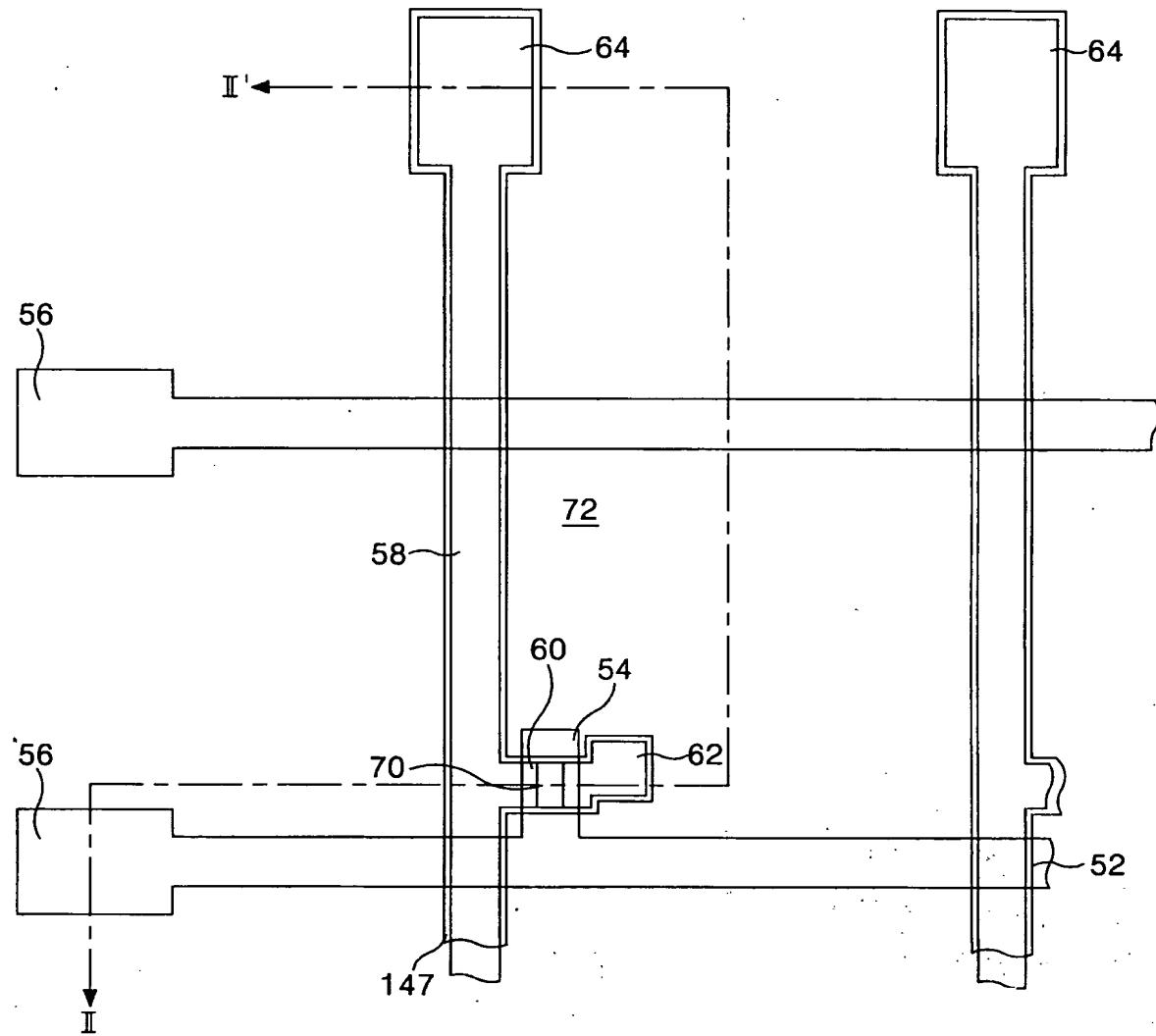
### 【도 6a】



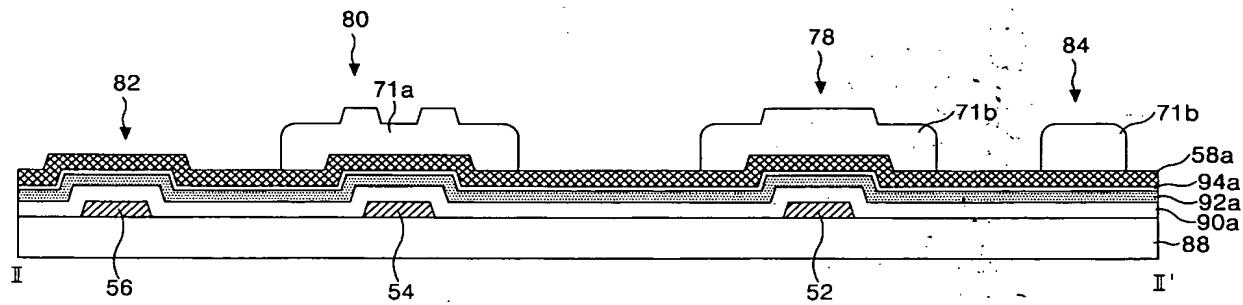
### 【도 6b】



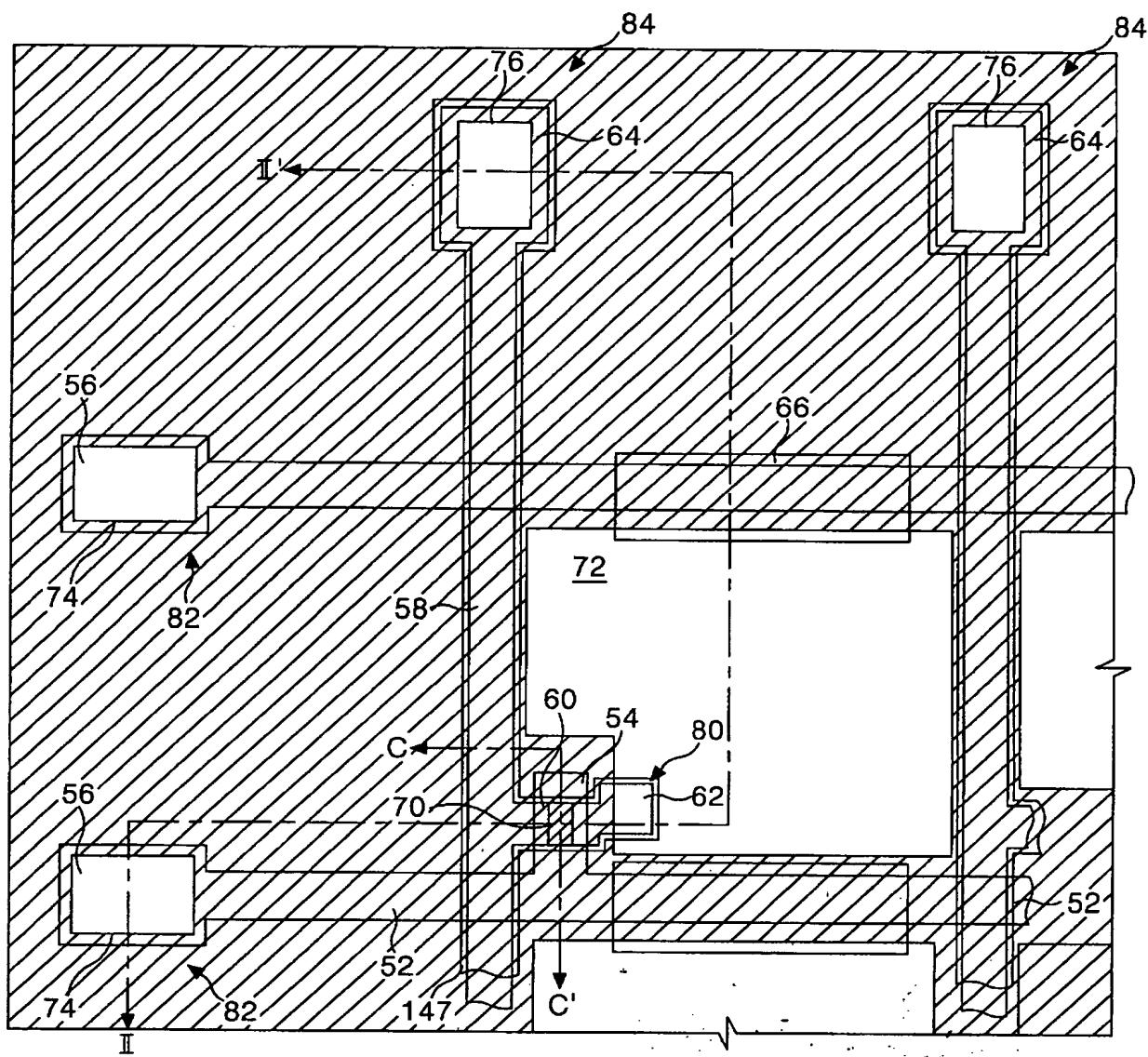
【도 7a】



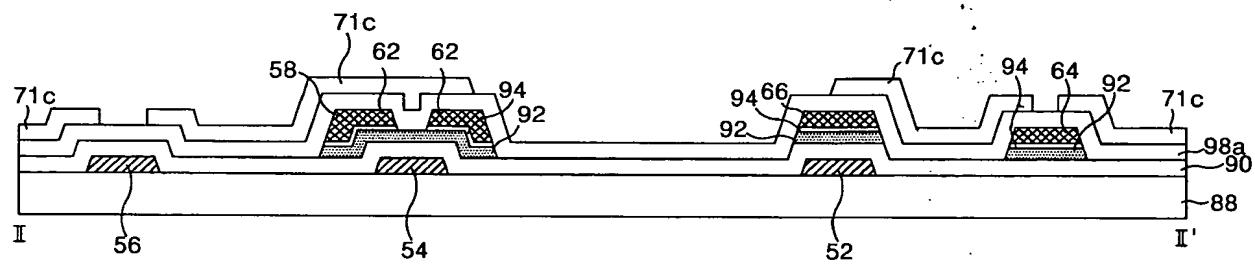
【도 7b】



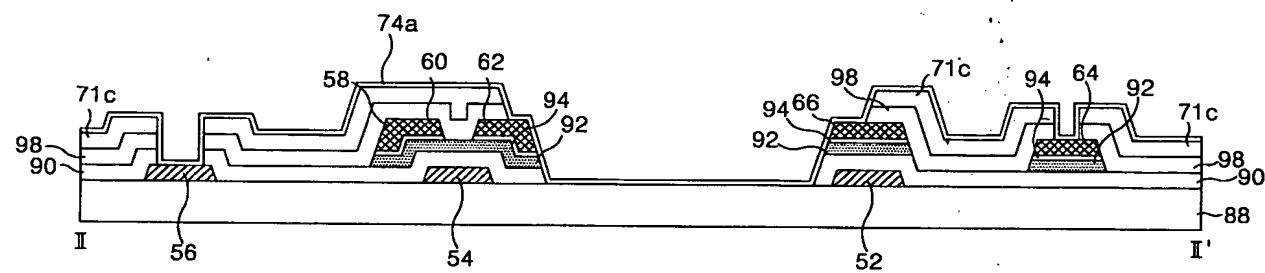
【도 8a】



【도 8b】



【도 8c】



【도 8d】

